

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-363926
(43)Date of publication of application : 16.12.1992

(51)Int.Cl. H04L 7/027

(21)Application number : 03-168757 (71)Applicant : RICOH CO LTD
(22)Date of filing : 13.06.1991 (72)Inventor : FUJII TATSUYA
SAKAMOTO KAZUHO
SHIRAISHI NAOHITO
FUKUI MAKOTO
IMAI YUKIHIRO
SATO YUTAKA
YAMADA YOSHITERU

(30)Priority

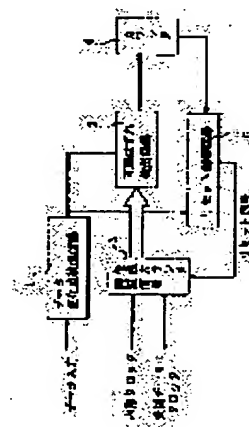
Priority number : 02213146	Priority date : 10.08.1990	Priority country : JP
02274047	12.10.1990	
03 92878	29.03.1991	JP
		JP

(54) CIRCUIT AND METHOD FOR DETECTING DIGITAL DATA

(57)Abstract:

PURPOSE: To provide a sigital data detection circuit and a detection method in which no error takes place in the detection of a data without influence of spike noise and jitter.

CONSTITUTION: The circuit is provided with a data changing point detection circuit 1 detecting a changing point in which a digital data is changed from '1' to '0' or from '0' to '1', the output of synchronism detection circuit 2 deciding whether or not a changing point appears in a timing synchronously with an internal clock, a counter 4 counting how many times in the presence/ absence of synchronizing step-out appears, a synchronous signal generating counter 3 generating a synchronous signal by using the internal clock, and a reset control circuit 5 controlling the reset timing of the synchronous signal generating counter 3 in response to the output of the data changing point detection circuit 1 and the counter 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2933751号

(45) 発行日 平成11年(1999) 8月16日

(24) 登録日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

H 0 4 L 7/027

識別記号

F I

H 0 4 L 7/02

A

請求項の数 7 (全 15 頁)

(21) 出願番号 特願平3-168757

(22) 出願日 平成3年(1991) 6月13日

(65) 公開番号 特開平4-363926

(43) 公開日 平成4年(1992) 12月16日

審査請求日 平成10年(1998) 5月26日

(31) 優先権主張番号 特願平2-213146

(32) 優先日 平2(1990) 8月10日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平2-274047

(32) 優先日 平2(1990) 10月12日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平3-92878

(32) 優先日 平3(1991) 3月29日

(33) 優先権主張国 日本 (J P)

(73) 特許権者 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 藤井 達也

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 坂本 和穂

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 白石 尚人

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 弁理士 鳥居 洋

審査官 河口 雅英

最終頁に続く

(54) 【発明の名称】 デジタルデータの検出回路及びその検出方法

(57) 【特許請求の範囲】

【請求項1】 デジタルデータのビット毎に、内部クロックに同期した受信クロックを形成し、デジタルデータの内容を検出するデジタルデータの検出回路であって、デジタルデータが1から0あるいは0から1へ変化する変化点を検出するデータ変化点検出回路と、上記変化点が内部クロックと同期したタイミングで出現しているか否か判定する同期はずれ検出回路と、同期はずれの有無が何回出現したか計数するカウンタと、内部クロックで同期信号を生成する同期信号生成カウンタと、前記データ変化点検出回路及びカウンタ出力に応じて前記同期信号生成カウンタのリセットのタイミングを制御するリセット制御回路と、を備えてなるデジタルデータの検出回路。

【請求項2】 前記カウンタの出力に応じて、0以外の

タイミングで出現した上記変化点を0のタイミングに補正するマスク回路を上記リセット制御回路に設けたことを特徴とする請求項第1に記載したデジタルデータの検出回路。

【請求項3】 上記マスク回路を正方向に変化点のタイミングがずれた場合にタイミング補正する正マスク回路と、負方向に変化点のタイミングがずれた場合にタイミング補正する負マスク回路との2段構成にしたことを特徴とする請求項第2に記載したデジタルデータの検出回路。

【請求項4】 デジタルデータのビット毎に内部クロックに同期した受信クロックを形成し、この受信クロックに基いてデジタルデータの内容を検出するデジタルデータの検出方法であって、上記デジタルデータが1から0あるいは0から1へ変化する変化点を検出し、この変化

点が内部クロックと同期しているか否か判定するとともに、この同期はずれの有無が何回出現したか計数し、この計数結果に対応して、上記変化点の位置から受信クロックを形成するタイミングを制御することを特徴とするデジタルデータの検出方法。

【請求項5】 デジタルデータのビット毎に、内部クロックに同期した受信クロックを形成し、デジタルデータの内容を検出するデジタルデータの検出回路であって、内部クロックで同期信号を生成する同期信号生成カウンタと、デジタルデータが1から0あるいは0から1へ変化する変化点を検出するデータ変化点検出回路と、データ変化点検出回路によって変化点検出された時点での同期信号生成カウンタの出力が入力され、入力信号のビットをマスクするためのマスク回路と、マスク回路の入力信号の全ビットのうち、マスクするビットを決定するマスクパターン制御回路と、マスク回路の出力に基づいて前記同期信号生成カウンタのリセットのタイミングを制御するリセット制御回路とを備え、マスクパターン制御回路が変化点のタイミングのずれ量に応じて、マスクするビットを変更するようにマスク回路を制御するものであることを特徴とするデジタルデータの検出回路。

【請求項6】 マスクパターン制御回路が、変化点のタイミングのずれ量に応じてマスクするビットを変更するための複数種類のマスクパターンを発生しうるものであり、所与の指定信号により指定されたマスクパターンにもとづいてマスク回路を制御することを特徴とするデジタルデータの検出回路。

【請求項7】 デジタルデータのビット毎に、内部クロックに同期した受信クロックを形成し、デジタルデータの内容を検出するデジタルデータの検出回路であって、内部クロックで同期信号を生成する同期信号生成カウンタと、同期はずれが一定期間に何度出現したか検出し、その頻度に応じた信号を出力する同期はずれ頻度検出回路と、この回路からの出力に応じてノイズ判定幅を変化し、この判定幅以下のパルス幅のノイズを無視し、デジタルデータが1から0あるいは0から1へ変化する変化点を検出する変化点検出回路と、この変化点検出回路の出力に応じて、前記同期信号生成カウンタのリセットのタイミングを制御するリセット制御回路と、を備えてなるデジタルデータの検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、他機器より入力されたデータを入力し、内部クロックをその入力データと同期させる位相制御ループ（以下、PLLという。）回路を内蔵した通信装置などに用いられるデジタルデータの検出回路及びその検出方法に関するものである。

【0002】

【従来の技術】 従来、受信データクロック再生回路として、データ変化点検出回路と、カウンタと、リセット制

御回路と、で構成し、全てのデータの変化点に対してPLLが行なう回路が知られている。

【0003】 この回路の場合、送信クロックの周波数に対する周波数追従性は良いが、ノイズに対しては何等対策が講じられておらず、ノイズによる悪影響を受けるといった欠点があった。

【0004】 そこで、ノイズの影響を排除して常に正確なデータ変化点の検出を行うデジタルデータの検出方法が特開昭60-245351号公報に開示されている。この検出方法は、デジタルデータの各ビットの間に内部クロックに同期した時系列の複数の検出クロックを形成し、この検出クロックのタイミングでデジタルデータのレベルを夫々検出する。そして、この検出により得られた複数の検出データの多数決処理によりスパイクノイズの影響を排除して変化点の位置を検出する。この検出に基づき内部クロックに同期した受信クロックの形成タイミングを制御することにより、デジタルデータの検出の同期はずれを防止するものである。

【0005】

【発明が解決しようとする課題】 通信機器に入力されるデータは送信側から受信側へ伝送される回線上で、図2に示すように、データにスパイクノイズが発生していたり、データの変化点にジッタが発生しデータの変化点の周期が不規則になることが多い。

【0006】 そのため、受信側装置では内部クロックと入力データでPLLをかけ、送信側のデータをエラーなく検出する必要がある。

【0007】 上述した従来の方法においては、スパイクノイズの影響を削除することはできるが、ジッタの変化点でPLLのリセット回路が働いて一時的に同期はずれが生じデータの検出にエラーが発生するという問題があった。

【0008】 更に、上述した方法においては、ノイズに対してセンシティブにするため、サンプリング数を増やせばそれだけリセットをかけるタイミングが遅くなり周波数追従性が悪くなる。逆に、サンプリング数を減らすと周波数追従性は向上するが、今度は耐ノイズ性が悪くなるという問題があった。しかも回線のノイズ状態は装置毎又は、回線距離によって異なり、ノイズの小さい回線、大きい回線と様々である。

【0009】 従って、上述した従来の方法では、ノイズの小さな回線では使用できるが大きな回線では使用できなかったり、ノイズの大きな回線で使用できるが小さな回線では通信品質が落ちたりする難点があった。

【0010】 この発明は、上述した従来の難点に鑑みなされたものにして、スパイクノイズ、ジッタの影響をなくして、データの検出にエラー発生を生じることのないデジタルデータの検出回路およびその検出方法を提供することを課題とする。

【0011】 また、この発明は、周波数追従性と耐ノイ

ズ性のトレードオフを解消し、周波数偏差及びノイズのどちらにも影響を受けにくい安定したPLLが可能なデジタルデータ検出回路を提供することをその課題とする。

【0012】

【課題を解決するための手段】この発明による第1のデジタルデータの検出回路は、デジタルデータのビット毎に、内部クロックに同期した受信クロックを形成し、デジタルデータの内容を検出するデジタルデータの検出回路であって、デジタルデータが1から0あるいは0から1へ変化する変化点を検出するデータ変化点検出回路と、上記変化点が内部クロックと同期したタイミングで出現しているか否か判定する同期はずれ検出回路と、同期はずれの有無が何回出現したか計数するカウンタと、内部クロックで同期信号を生成する同期信号生成カウンタと、前記データ変化点検出回路及びカウンタ出力に応じて前記同期信号生成カウンタのリセットのタイミングを制御するリセット制御回路と、を備えたことを特徴とする。

【0013】又、前記カウンタの出力に応じて、0以外のタイミングで出現した上記変化点を0のタイミングに補正するマスク回路を上記リセット制御回路に設けたことを特徴とする。

【0014】更に、上記マスク回路を正方向に変化点のタイミングがずれた場合にタイミング補正する正マスク回路と、負方向に変化点のタイミングがずれた場合にタイミング補正する負マスク回路との2段構成にしたことを特徴とする。

【0015】又、この発明の検出方法は、上記デジタルデータが1から0あるいは0から1へ変化する変化点を検出し、この変化点が内部クロックと同期しているか否か判定するとともに、この同期はずれの有無が何回出現したか計数し、この計数結果に対応して、上記変化点の位置から受信クロックを形成するタイミングを制御することを特徴とする。

【0016】この発明による第2のデジタルデータの検出回路は、デジタルデータのビット毎に、内部クロックに同期した受信クロックを形成し、デジタルデータの内容を検出するデジタルデータの検出回路であって、内部クロックで同期信号を生成する同期信号生成カウンタと、デジタルデータが1から0あるいは0から1へ変化する変化点を検出するデータ変化点検出回路と、データ変化点検出回路によって変化点が検出された時点での同期信号生成カウンタの出力が入力され、入力信号のビットをマスクするためのマスク回路と、マスク回路の入力信号の全ビットのうち、マスクするビットを決定するマスクパターン制御回路と、マスク回路の出力に基づいて前記同期信号生成カウンタのリセットのタイミングを制御するリセット制御回路とを備え、マスクパターン制御回路が変化点のタイミングのずれ量に応じて、マスクす

るビットを変更するようにマスク回路を制御するものであることを特徴とする。

【0017】マスクパターン制御回路としては、変化点のタイミングのずれ量に応じてマスクするビットを変更するための複数種類のマスクパターンを発生しうるものであり、所与の指定信号により指定されたマスクパターンにもとづいてマスク回路を制御するものでもよい。

【0018】この発明による第3のデジタルデータの検出回路は、内部クロックで同期信号を生成する同期信号生成カウンタと、同期はずれが一定期間に何度出現したか検出し、その頻度に応じた信号を出力する同期はずれ頻度検出回路と、この回路からの出力に応じてノイズ判定幅を変化し、この判定幅以下のパルス幅のノイズを無視し、デジタルデータが1から0あるいは0から1へ変化する変化点を検出する変化点検出回路と、この変化点検出回路の出力に応じて、前記同期信号生成カウンタのリセットのタイミングを制御するリセット制御回路と、を備えてなるものである。

【0019】

【作用】この発明による第1のデジタルデータの検出回路または検出方法によれば、同期はずれの有無が何回出現したかを計数するカウンタの出力とデータ変化点検出回路の出力に基いて、リセットのタイミング制御することにより、ジッタ、スパイクノイズが削減される。

【0020】又、連続した同期を受けた場合、0以外のタイミングをマスク回路で補正することにより、ジッタ、スパイクノイズが削減される。

【0021】この発明による第2のデジタルデータの検出回路では、マスクパターン制御回路によって、変化点のタイミングのずれ量に応じて、マスクするビットを変更するようにマスク回路が制御される。このため、変化点のタイミングのずれ量が、ずれ量に応じて補正される。したがって、ノイズによる誤動作の発生を減少させることが可能となる。

【0022】この発明による第3のデジタルデータの検出回路では、ノイズ判定のパルス幅を同期はずれの頻度に応じて選択することにより、ノイズの大きさに応じてデジタルデータのサンプリング数が調整される。従って、いかなる回線環境においても、安定したPLLを行うことができる。

【0023】

【実施例】以下、この発明の実施例を図面に従い説明する。図1はこの発明に係るデジタルデータ検出回路の構成を示すブロック図、図2および図3は、この発明に入力されるデジタルデータを示すタイミングチャートであり、図2は任意の一定周期にあるクロックを基本にデジタルデータを生成し、そのデータと入力データとの関係を示し、図3は1周期を16分割(0~F)した関係を示している。

【0024】図2に示すように、任意の一定周期の送信

クロックを基本クロックとして出力データが生成され、そのデータが受信機に入力される。この入力データには、図中 Δt で示すジッタや図中a, bで示すスパイクノイズが発生する事がある。

【0025】上述したように、出力データは一定周期のクロックを基本にデジタルデータが生成されているので、受信機側はデジタルデータの変化点が来る周期を予測することができる。したがって、図3に示すように、1周期を16分割で示すと、送信側は必ず0のタイミングでデータを変化させる。そこで、受信機側はA点でデータが変化したとき、一番近い変化点はB点の0タイミングであると予測できる。

【0026】ここで、A点に変化点が存在した後、B点の変化点が0のタイミングであれば同期、他のタイミング(1~F)にあれば同期はずれと呼ぶ。連続した同期する変化点の後、同期はずれの変化点があればこのデータ入力はジッタ或いはスパイクノイズであると考えられるので、この発明では、この同期はずれの変化点ではPLLのリセットをかけないようにするものである。

【0027】この発明は上述した事項に基づいて構成されている。

【0028】まず、図1に従い本発明の全体構成について説明する。

【0029】図1において、1はデータ変化点検出回路であり、入力されるデジタルデータの1から0或いは0から1へ変化する変化点を検出し、この結果を同期はずれ検出回路2及びリセット制御回路5へ供給する。

【0030】3は同期信号生成カウンタであり、入力される送信クロックと同期した内部クロックを元周期とするカウンタで、このクロックを任意に分周してデータの受信クロックが作成される。このカウンタ3にリセットがかかることにより受信データクロックが再生される。このカウンタ3からのカウンタ値は同期はずれ検出回路2へ与えられる。

【0031】同期はずれ検出回路2は、データ変化点検出回路1で変化点を検出したタイミングをラッチし、この時のカウンタ3の出力により同期はずれの有無を検出する。即ち、前述したように、変化点が0のタイミングであれば同期、他のタイミング(1~F)にあれば同期はずれであるとし、その結果をアップダウンカウンタ4へ与え、アップダウンカウンタ4は同期した場合には+1、同期はずれの場合-1を加算する。

【0032】リセット制御回路5は内部クロック及びデータ変化点検出回路1から変化点を検出したときのカウンタ3の値とカウンタ4の値が入力される。そして、この両者の信号に基づきのリセット信号を生成し、このリセット信号を同期信号生成カウンタ3に供給する。即ち、同期はずれの変化点ではリセットがかからないように制御する。

【0033】又、このリセット制御回路5の内部にマス

ク回路を備えることにより、任意の連続した同期を受けたことをカウンタ4の値により判断し、カウンタ4の値が所定の値、例えば8回同期が存在した場合には、データ変化点は0のタイミングで来ると判断し、データ変化点を0に補正し、ジッタ、スパイクノイズを削除する。

【0034】次に図4に従いこの発明の第1のデジタル検出回路の実施例につき説明する。

【0035】図4に示すように、受信側の内部クロックを4ビットのカウンタ3およびデータ変化点検出回路1のD型フリップフロップ10のトリガ端子に供給するとともに、フリップフロップ10のデータ端子(D)に受信したデジタルデータが供給される。

【0036】さらに、デジタルデータとフリップフロップ10のQ出力端子の出力データとの排他的論理和を排他的論理和回路11により演算し、排他的論理和回路11から同期はずれ検出回路2のラッチ回路21に、変化点の位置の検出出力を出力する。

【0037】一方、同期信号生成カウンタ3は内部クロックを0から15までカウントすることをくり返し、QA、QB、QC、QDの出力端子からカウントした値の平行データを出力する。

【0038】カウンタ3のQA、QB、QC、QDからの平行出力は、同期はずれ検出回路2のラッチ回路21とリセット制御回路5の排他的論理和回路51、52、53、54へ夫々出力される。そして、排他的論理和回路51にはQDが、排他的論理和回路52にはQCが、排他的論理和回路53にはQBが、排他的論理和回路54にはQAが夫々出力される。

【0039】変化点検出回路1の排他的論理和回路11から変化点の位置検出出力がラッチ回路21に与えられると、ラッチ回路21はその時のカウンタ3の出力をラッチし、そのデータがNAND機能回路22及び排他的論理和回路51、52、53、54に出力される。NAND機能回路22へはカウンタ3のQA、QB、QC、QDの出力が入力される。したがって、このNAND機能回路22からはQA、QB、QC、QDの出力が全て0の場合のみ、ハイが出力され、それ以外のときはローが出力される。即ち、変化点が内部クロックの0のタイミングのときのみNAND機能回路22から同期がとれたとして、カウンタ4を+1カウントアップする。またそれ以外のときは同期はずれとして、カウンタ4を-1カウントダウンする。

【0040】一方、ラッチ回路21からの出力QAは排他的論理和回路51へ、QBは排他的論理和回路52へ、QCは排他的論理和回路53へ、QDは排他的論理和回路51へ出力される。その結果排他的論理和回路51ではQD、QA、52ではQC、QB、53ではQB、QD、54ではQA、QDの排他的論理和がとられ、この各回路からの出力がOR機能回路55へ出力される。このOR機能回路55からの出力がOR回路56

の1入力として与えられる。

【0041】又、カウンタ4からのQD出力がOR回路56の他入力として与えられる。このOR回路56からの出力が反転され、カウンタ3のリセット信号として供給される。

【0042】カウンタ4はこの実施例においては、同期が8回存在した場合に、QDからハイが出力される。即ち、8回まではリセットがかかり、8回目はリセットがかからない。又、OR機能回路55により、変化点が0のタイミング以外にはハイが出力されるので、カウンタ4はリセットがかからない。そして、0のタイミングのときのみリセットがかかるように構成されている。したがって、ジッタやスパイクノイズによる変化点ではリセットがかからない。

【0043】次に図5に従いこの発明の第2の実施例について説明する。

【0044】この実施例は、リセット制御回路5内に、データ変化点を0のタイミングに補正するマスク回路7を設けたものである。即ち、カウンタ4からのQD出力がインバータ6にて反転され、更にマスク回路7を構成するAND機能回路71、72、73、74の1入力として入力される。各AND機能回路の他入力はラッチ回路21からの出力が入力される。AND機能回路71にはQAが、AND機能回路72にはQBが、AND機能回路73にはQCが、AND機能回路74にはQDが夫々入力される。

【0045】前述した図4の構成ではリセット制御回路5の排他的論理和回路へラッチ回路21からの出力が入力されていたが、この実施例ではマスク回路からの出力が入力される。即ち、AND機能回路71の出力が排他的論理和回路51の1入力として、AND機能回路72が排他的論理和回路52の1入力として、AND機能回路73の出力が排他的論理和回路53の1入力として、AND機能回路74の出力が排他的論理和回路54の1入力として夫々与えられる。

【0046】そして、各排他的論理和回路51、52、53、54で演算され、その出力が反転されてOR機能回路55に入力される。そして、このOR機能回路55の出力が反転され、カウンタ3のリセット信号として供給される。

【0047】而して、同期が8回存在した場合、データ変化点は0のタイミングで来ると判断され、マスク回路7でデータ変化点を0のタイミングに補正される。このように任意の連続した同期を受け、0以外のタイミングがマスク回路7で補正され、ジッタ、スパイクノイズが削除される。

【0048】図6に従いこの発明の第3の実施例につき説明する。

【0049】この実施例はカウンタ4からの出力を2段にしてマスクをかけるように構成している。即ち、カウ

ンタ4のQD出力がインバータ6を介して正マスク回路75及び負マスク回路76に入力されると共に、カウンタ4のQD、QC出力がNOR回路8を介して正マスク回路75及び負マスク回路77に入力される。そして、両マスク回路75、76の出力はセクタ77にて選択され、このセクタ77から前述した図5のものと同様に排他的論理和回路51、52、53、54へ夫々マスクがかけられたデータが出力される。

【0050】図7に正常のデータ変化点と負側にずれた場合と正側にずれた場合のカウンタ3の出力を示す。この図7に示すように、同じ1ビットのずれにしても正方向では下位1ビットが1に変化にするだけである。これに対して、負方向では4ビット全てが1に変化する。したがって、例えば3ビットのずれだけを補正するとすれば正方向であれば上位2ビットを固定し下位2ビットの補正で対応することができるが、負方向の場合には、1ビットずれれば4ビット全てを変化させ、2ビットずれた場合には3ビット変化させるようにに制御する必要がある。そのためこの実施例においては、正方向のマスク回路75と負方向のマスク回路76を設け、変化点が正方向にずれたか負方向にずれたかによって、夫々マスク回路を選択して0以外のタイミングを0のタイミングに補正している。

【0051】図8は、この発明の第4実施例を示している。

【0052】この実施例は、リセット制御回路5内に、マスク回路100とマスク回路100を制御するマスクパターン制御回路200とを設けたものである。

【0053】そして、これらの回路100および200によって、変化点での同期ずれ幅を次のように修正しようとするものである。すなわち、表1に示すように、ステップ0においては、ずれ幅をそのずれ量に係わらず0に修正する。

【0054】ステップ1においては、ずれ幅が-4から+3の範囲ではずれ幅を0に修正し、ずれ幅が-5から-8の範囲ではずれ幅を-4に修正し、ずれ幅が+4から+7の範囲ではずれ幅を+4に修正する。

【0055】ステップ2においては、ずれ幅が-2から+1の範囲ではずれ幅を0に修正し、ずれ幅が-3から-4の範囲ではずれ幅を-2に修正し、ずれ幅が-5から-6の範囲ではずれ幅を-4に修正し、ずれ幅が-7から-8の範囲ではずれ幅を-6に修正し、ずれ幅が+2から+3の範囲ではずれ幅を+2に修正し、ずれ幅が+4から+5の範囲ではずれ幅を+4に修正し、ずれ幅が+6から+7の範囲ではずれ幅を+6に修正する。

【0056】ステップ3においては、ずれ幅が-1から0の範囲ではずれ幅を0に修正し、ずれ幅が-2から-8の範囲ではずれ幅を1ずつ修正し、ずれ幅が+1から+7の範囲ではずれ幅の修正を行わない。

【0057】ステップ4においては、ずれ幅の修正を行

なわない。

【表1】

【0058】

ラッチ回路の出力 2進数	ずれ量 10進数	ステップ0		ステップ1		ステップ2		ステップ3		ステップ4	
		修正量	修正後の ずれ量	修正量	修正後の ずれ量	修正量	修正後の ずれ量	修正量	修正後の ずれ量	修正量	修正後の ずれ量
1000	-8	-8	0	-4	-4	-2	-6	-1	-7	0	-8
1001	-7	-7	0	-3	-4	-1	-6	-1	-6	0	-7
1010	-6	-6	0	-2	-4	-2	-4	-1	-5	0	-6
1011	-5	-5	0	-1	-4	-1	-4	-1	-4	0	-5
1100	-4	-4	0	-4	0	-2	-2	-1	-3	0	-4
1101	-3	-3	0	-3	0	-1	-2	-1	-2	0	-3
1110	-2	-2	0	-2	0	-2	0	-1	-1	0	-2
1111	-1	-1	0	-1	0	-1	0	-1	0	0	-1
0000	0	0	0	0	0	0	0	0	0	0	0
0001	+1	+1	0	+1	0	+1	0	0	+1	0	+1
0010	+2	+2	0	+2	0	0	+2	0	+2	0	+2
0011	+3	+3	0	+3	0	+1	+2	0	+3	0	+3
0100	+4	+4	0	0	+4	0	+4	0	+4	0	+4
0101	+5	+5	0	+1	+4	+1	+4	0	+5	0	+5
0110	+6	+6	0	+2	+4	0	+6	0	+6	0	+6
0111	+7	+7	0	+3	+4	+1	+6	0	+7	0	+7

【0059】マスク回路100は、正マスク回路110と負マスク回路120とからなる。正マスク回路110は、4つのAND機能回路111～114で構成されている。AND機能回路111の第1入力端子にはラッチ回路21の出力QAが、AND機能回路112の第1入力端子にはラッチ回路21の出力QBが、AND機能回路113の第1入力端子にはラッチ回路21の出力QCが、AND機能回路114の第1入力端子にはラッチ回路21の出力QDがそれぞれ入力されている。

【0060】負マスク回路120は、4つのOR回路121～124で構成されている。OR回路121の第1入力端子には正マスク回路110のAND機能回路111の出力が、OR回路122の第1入力端子には正マスク回路110のAND機能回路112の出力が、OR回路123の第1入力端子には正マスク回路110のAND機能回路113の出力が、OR回路124の第1入力端子には正マスク回路110のAND機能回路114の出力がそれぞれ入力されている。

【0061】マスクパターン制御回路200は、カウンタ4の出力QAが入力するインバータ201、カウンタ4の出力QBが入力するインバータ202、カウンタ4の出力QCが入力するインバータ203およびカウンタ4の出力QDが入力するインバータ204を含んでいる。

【0062】インバータ201の出力は、NAND機能回路211およびインバータ231に入力する。インバータ202の出力は、NAND機能回路211、NAND機能回路212およびインバータ232に入力する。インバータ203の出力は、AND機能回路206の一

方の入力端子に入力する。インバータ204の出力は、AND機能回路206の他方の入力端子に入力する。AND機能回路206の出力は、NAND機能回路211、NAND機能回路212、インバータ213およびインバータ233に入力する。

【0063】NAND機能回路211の出力はNAND回路221の一方の入力端子に、NAND機能回路212の出力はNAND回路222の一方の入力端子に、インバータ213の出力はNAND回路223の一方の入力端子に、それぞれ入力する。

【0064】NAND回路221、222および223の他方の入力端子には、NAND機能回路205の出力が入力する。NAND機能回路205には、ラッチ回路21の出力QDとインバータ204の出力とが入力する。

【0065】NAND回路221の出力は正マスク回路110のAND機能回路113およびAND機能回路114の第2入力端子に入力する。NAND回路222の出力は正マスク回路110のAND機能回路112の第2入力端子に入力する。NAND回路223の出力は正マスク回路110のAND機能回路111の第2入力端子に入力する。

【0066】インバータ231の出力はNOR回路241に、インバータ232の出力はNOR回路241およびNOR回路242に、インバータ233の出力はNOR回路241、NOR回路242およびインバータ243に入力する。

【0067】NOR回路241の出力はNOR機能回路251の一方の入力端子に、NOR回路242の出力は

NOR機能回路252の一方の入力端子に、インバータ243の出力はNOR機能回路253の一方の入力端子に、それぞれ入力する。

【0068】NOR機能回路251、252および253の他方の入力端子には、NAND機能回路205の出力が入力する。

【0069】NOR機能回路251の出力は、負マスク回路120のOR回路123およびOR回路124の第2入力端子に入力する。NOR機能回路252の出力は、負マスク回路120のOR回路122の第2入力端子に入力する。NOR機能回路253の出力は、負マスク回路120のOR回路121の第2入力端子に入力する。

【0070】ラッチ回路21の出力QDが「0」のときには、NAND機能回路205の出力は、常に「1」となる。したがって、NOR機能回路251～253の出力は、常に「0」となる。この結果、マスク回路100の出力は、正マスク回路110の出力となる。

【0071】ラッチ回路21の出力QDが1でかつインバータ204の出力が「1」（カウンタ4の出力QDが0）のときには、NAND機能回路205の出力は「0」となる。したがって、NAND回路221～223の出力は、常に「1」となる。この結果、負マスク回路120のOR回路121～124の第1入力端子には、ラッチ回路21の出力QA～QDが入力することになる。つまり、この場合には、マスク回路100の出力は、負マスク回路120の出力となる。

【0072】ラッチ回路21の出力QDが「1」でかつインバータ204の出力が「0」（カウンタ4の出力QDが「1」）のときには、NAND機能回路205の出力は、常に「1」となる。したがって、NOR機能回路251～253の出力は、常に「0」となる。この結果、マスク回路100の出力は、正マスク回路110の出力となる。

【0073】以下、図8の動作を、カウンタ4のカウンタ値が0の場合（ステップ0）、1の場合（ステップ1）、2および3の場合（ステップ2）、4～7の場合（ステップ3）、8以上の場合（ステップ4）に分けて説明する。

【0074】（1）カウンタ4のカウンタ値が0の場合。

【0075】この場合には、カウンタ4の出力QA、QB、QCおよびQDは、ともに「0」である。したがって、インバータ201、202、203および204の出力が全て「1」となり、NAND機能回路211および212ならびにインバータ213の出力が全て「0」となり、NAND機能回路121、122および123の出力は常に「1」となる。

【0076】また、インバータ231、232および234の出力は「0」となり、NOR回路241および2

42ならびにインバータ243の出力は「1」となり、NOR機能回路251、252および253の出力は常に「0」となる。したがって、この場合は、マスク回路100からは、ラッチ回路21の出力QA～QDがそのまま出力され、排他的論理和回路51～54に送られる。この結果、変化点でカウンタ3にリセットがかけられる。

【0077】（2）カウンタ4のカウンタ値が1の場合。

【0078】（2-1）ラッチ回路21の出力QDが「0」の場合。

【0079】ラッチ回路21の出力QDが「0」である場合には、上述したように、マスク回路100の出力は、正マスク回路110の出力となる。

【0080】この場合には、カウンタ4の出力QAが「1」であり、QB、QCおよびQDは「0」である。したがって、インバータ201の出力が「0」、インバータ202、203および204の出力が「1」となり、NAND機能回路211の出力が「1」、NAND機能回路212およびインバータ213の出力が「0」となる。

【0081】ラッチ回路21の出力QDが0である場合には、NAND機能回路205の出力は「1」なので、NAND回路221の出力が「0」、NAND回路222および223の出力が「1」となる。

【0082】したがって、正マスク回路110のAND機能回路113および114の出力は、常に「0」となる。また、AND機能回路111の出力は、ラッチ回路21の出力QAが「1」であれば「1」となり、ラッチ回路21の出力QAが「0」であれば「0」となる。同様に、AND機能回路112の出力は、ラッチ回路21の出力QBが「1」であれば「1」となり、ラッチ回路21の出力QBが「0」であれば「0」となる。

【0083】この結果、ラッチ回路21の出力QD～QAで表される2進数が「0000」、「0001」、「0010」、「0011」のときはマスク回路100の出力はそれと同じ2進数である「0000」、「0001」、「0010」、「0011」となり、カウンタ3の出力が「0000」、「0001」、「0010」、「0011」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD～QAで表される2進数が「0000」、「0001」、「0010」、「0011」のときは、すなわち、その変化点での正方向同期ずれ幅が3以下であるときには、その変化点での同期ずれ幅が零になるように、修正される。

【0084】ラッチ回路21の出力QDからQAで表される2進数が「0100」、「0101」、「0110」、「0111」のときはマスク回路100の出力は、「0000」、「0001」、「0010」、「0011」となり、カウンタ3の出力が「0000」、

「0001」、「0010」、「0011」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QDからQAで表される2進数が「0100」、「0101」、「0110」、「0111」のときは、すなわち、その変化点での正方向同期ずれ幅が4以上であるときには、そのずれ幅が10進数で+4に修正される。

【0085】(2-2)ラッチ回路21の出力QDが「1」の場合。

【0086】ラッチ回路21の出力QDが「1」である場合には、上述したように、マスク回路100の出力は、負マスク回路120の出力となる。

【0087】この場合には、カウンタ4の出力QAが「1」であり、QB、QCおよびQDは「0」である。したがって、インバータ201の出力が「0」、インバータ202、203および204の出力が「1」となり、インバータ231の出力が「1」、インバータ232および233の出力が「0」となり、NOR回路241の出力が「0」、NOR回路242およびインバータ243の出力が「1」となる。

【0088】ラッチ回路21の出力QDが「1」であり、カウンタ4の出力QDが「1」であるので、NAND機能回路205の出力は「0」となり、NOR機能回路251の出力が「1」、NOR機能回路252および253の出力が「0」となる。

【0089】したがって、負マスク回路120のOR回路123および124の出力は、常に「1」となる。また、OR回路121の出力は、ラッチ回路21の出力QAが「1」であれば「1」となり、ラッチ回路21の出力QAが「0」であれば「0」となる。同様に、OR回路122の出力は、ラッチ回路21の出力QBが「1」であれば「1」となり、ラッチ回路21の出力QBが「0」であれば「0」となる。

【0090】この結果、ラッチ回路21の出力QD~QAで表される2進数が「1111」、「1110」、「1101」、「1100」のときはマスク回路100の出力はそれと同じ2進数である「1111」、「1110」、「1101」、「1100」となり、カウンタ3の出力が「1111」、「1110」、「1101」、「1100」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD~QAで表される2進数が「1111」、「1110」、「1101」、「1100」のときは、すなわち、その変化点での負方向同期ずれ幅が4以下であるときには、その変化点での同期ずれ幅が零になるように、修正される。

【0091】ラッチ回路21の出力QDからQAで表される2進数が「1011」、「1010」、「1001」、「1000」のときはマスク回路100の出力は、「1111」、「1110」、「1101」、「1100」となり、カウンタ3の出力が「1111」、

「1110」、「1101」、「1100」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QDからQAで表される2進数が「1011」、「1010」、「1001」、「1000」のときは、すなわち、その変化点での負方向同期ずれ幅が5以上であるときには、そのずれ幅が-4に修正される。

【0092】(3)カウンタ4のカウント値が2および3の場合。

【0093】(3-1)ラッチ回路21の出力QDが「0」の場合。

【0094】ラッチ回路21の出力QDが「0」である場合には、上述したように、マスク回路100の出力は、正マスク回路110の出力となる。

【0095】この場合には、カウンタ4の出力QAが「0」または「1」であり、QBが「1」であり、QCおよびQDは「0」である。したがって、インバータ201の出力が「0」または「1」、インバータ202の出力が「0」、インバータ203および204の出力が「1」となり、NAND機能回路211および212の出力が「1」、インバータ213の出力が「0」となる。

【0096】ラッチ回路21の出力QDが0である場合には、NAND機能回路205の出力は「1」なので、NAND回路221および222の出力が「0」、NAND回路223の出力が「1」となる。

【0097】したがって、正マスク回路110のAND機能回路112、113および114の出力は、常に「0」となる。また、AND機能回路111の出力は、ラッチ回路21の出力QAが「1」であれば「1」となり、ラッチ回路21の出力QAが「0」であれば「0」となる。

【0098】この結果、ラッチ回路21の出力QD~QAで表される2進数が「0000」、「0001」のときはマスク回路100の出力はそれと同じ2進数である「0000」、「0001」となり、カウンタ3の出力が「0000」、「0001」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD~QAで表される2進数が「0000」、「0001」のときは、すなわち、その変化点での正方向同期ずれ幅が1以下であるときには、その変化点での同期ずれ幅が零になるように、修正される。

【0099】ラッチ回路21の出力QD~QAで表される2進数が「0010」、「0011」のときはマスク回路100の出力は「0000」、「0001」となり、カウンタ3の出力が「0000」、「0001」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD~QAで表される2進数が「0010」、「0011」のときは、すなわち、その変化点での正方向同期ずれ幅が2および3のときには、その変化点での同期ずれ幅が+2になるように、修正される。

【0100】ラッチ回路21の出力QDからQAで表される2進数が「0100」、「0101」のときはマスク回路100の出力は、「0000」、「0001」となり、カウンタ3の出力が「0000」、「0001」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QDからQAで表される2進数が「0100」、「0101」のときは、すなわち、その変化点での正方向同期ずれ幅が4および5のときには、そのずれ幅が+4に修正される。

【0101】ラッチ回路21の出力QDからQAで表される2進数が「0110」、「0111」のときはマスク回路100の出力は、「0000」、「0001」となり、カウンタ3の出力が「0000」、「0001」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QDからQAで表される2進数が「0110」、「0111」のときは、すなわち、その変化点での正方向同期ずれ幅が6および7のときには、そのずれ幅が+6に修正される。

【0102】(3-2)ラッチ回路21の出力QDが「1」の場合。

【0103】ラッチ回路21の出力QDが「1」である場合には、上述したように、マスク回路100の出力は、負マスク回路120の出力となる。

【0104】この場合には、カウンタ4の出力QAが「0」または「1」であり、QBが「1」であり、QCおよびQDは「0」である。したがって、インバータ201の出力が「0」または「1」、インバータ202の出力が「0」、インバータ203および204の出力が「1」となり、インバータ231の出力が「0」または「1」、インバータ232の出力が「1」、インバータ233の出力が「0」となり、NOR回路241および242の出力が「0」、インバータ243の出力が「1」となる。

【0105】ラッチ回路21の出力QDが「1」であり、カウンタ4の出力QDが「0」であるので、NAND機能回路205の出力は「0」となるで、NOR機能回路251および252の出力が「1」、NOR機能回路253の出力が「0」となる。

【0106】したがって、負マスク回路120のOR回路122、123および124の出力は、常に「1」となる。また、OR回路121の出力は、ラッチ回路21の出力QAが「1」であれば「1」となり、ラッチ回路21の出力QAが「0」であれば「0」となる。

【0107】この結果、ラッチ回路21の出力QD~QAで表される2進数が「1111」、「1110」のときはマスク回路100の出力はそれと同じ2進数である「1111」、「1110」となり、カウンタ3の出力が「1111」、「1110」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD~QAで表される2進数が「1111」、「1110」の

ときは、すなわち、その変化点での負方向同期ずれ幅が2以下であるときには、その変化点での同期ずれ幅が零になるように、修正される。

【0108】ラッチ回路21の出力QD~QAで表される2進数が「1101」、「1100」のときはマスク回路100の出力は「1111」、「1110」となり、カウンタ3の出力が「1111」、「1110」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD~QAで表される2進数が「1101」、「1100」のときは、すなわち、その変化点での負方向同期ずれ幅が3または4のときには、そのずれ幅が-2に修正される。

【0109】ラッチ回路21の出力QDからQAで表される2進数が「1011」、「1010」のときはマスク回路100の出力は、「1111」、「1110」となり、カウンタ3の出力が「1111」、「1110」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QDからQAで表される2進数が「1011」、「1010」のときは、すなわち、その変化点での負方向同期ずれ幅が5または6のときには、そのずれ幅が-4に修正される。

【0110】ラッチ回路21の出力QDからQAで表される2進数が「1001」、「1000」のときはマスク回路100の出力は、「1111」、「1110」となり、カウンタ3の出力が「1111」、「1110」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QDからQAで表される2進数が「1001」、「1000」のときは、すなわち、その変化点での負方向同期ずれ幅が7または8のときには、そのずれ幅が-6に修正される。

【0111】(4)カウンタ4のカウント値が4~7の場合。

【0112】(4-1)ラッチ回路21の出力QDが「0」の場合。

【0113】ラッチ回路21の出力QDが「0」である場合には、上述したように、マスク回路100の出力は、正マスク回路110の出力となる。

【0114】この場合には、カウンタ4の出力QAおよびQBが「0」または「1」であり、QCが「1」であり、QDが「0」である。したがって、インバータ201および202の出力が「0」または「1」、インバータ203の出力が「0」、インバータ204の出力が「1」となり、NAND機能回路211および212ならびにインバータ213の出力が「1」となる。

【0115】ラッチ回路21の出力QDが0である場合には、NAND機能回路205の出力は「1」なので、NAND回路221、222およびNAND回路223の出力が「0」となる。

【0116】したがって、正マスク回路110のAND機能回路112、113、114および115の出力

は、常に「0」となる。

【0117】この結果、ラッチ回路21の出力QD～QAで表される2進数が「0000」～「0111」のときは、マスク回路100の出力は「0000」となり、カウンタ3の出力が「0000」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD～QAで表される2進数が「0000」～「0111」のときは、すなわち、その変化点での同期ずれが正方向同期ずれであるときには、その変化点での同期ずれ幅は修正されない。

【0118】(4-2) ラッチ回路21の出力QDが「1」の場合。

【0119】ラッチ回路21の出力QDが「1」である場合には、上述したように、マスク回路100の出力は、負マスク回路120の出力となる。

【0120】この場合には、カウンタ4の出力QAおよびQBが「0」または「1」であり、QCが「1」であり、QDが「0」である。したがって、インバータ201および202の出力が「0」または「1」、インバータ203の出力が「0」、インバータ204の出力が「1」となり、インバータ231および232の出力が「0」または「1」、インバータ233の出力が「1」となり、NOR回路241および242ならびにインバータ243の出力が「0」となる。

【0121】ラッチ回路21の出力QDが「1」であり、カウンタ4の出力QDが「0」であるので、NAND機能回路205の出力は「0」となるで、NOR機能回路251、252および253の出力が「1」となる。

【0122】したがって、負マスク回路120のOR回路122、123、124および125の出力は、常に「1」となる。

【0123】この結果、ラッチ回路21の出力QD～QAで表される2進数が「1000」～「1111」のときはマスク回路100の出力は「1111」となり、カウンタ3の出力が「1111」のときカウンタ3がリセットされる。したがって、ラッチ回路21の出力QD～QAで表される2進数が「1000」～「1111」のときは、すなわち、その変化点での同期ずれが負方向であるときには、その変化点での同期ずれ幅が1ずつ修正される。

【0124】(5) カウンタ4のカウント値が8以上の場合。

【0125】(5-1) ラッチ回路21の出力QDが「0」の場合。

【0126】この場合には、カウンタ4の出力QA、QBおよびQCが「0」または「1」となり、QDが「1」となるが、AND機能回路206の出力は「0」となるので、上記(4-1)の動作と同じとなる。

【0127】したがって、ラッチ回路21の出力QD～

QAで表される2進数が「0000」～「0111」のときは、すなわち、その変化点での同期ずれが正方向同期ずれであるときには、その変化点での同期ずれ幅は修正されない。

【0128】(5-2) ラッチ回路21の出力QDが「1」の場合。

【0129】この場合には、NAND機能回路205の出力が「1」となるのでNOR機能回路251～253の出力は、常に0となる。この結果、マスク回路100の出力は、正マスク回路110の出力となる。

【0130】したがって、ラッチ回路21の出力QD～QAで表される2進数が「1000」～「1111」のときも、すなわち、その変化点での同期ずれが負方向同期ずれであるときにも、その変化点での同期ずれ幅は修正されない。

【0131】この第4実施例によれば、ノイズによる誤動作の発生を少なくし、しかも変化点の変化に同期回路を追従させることができる。上記の例でいえば、ステップ1ではずれ幅が-4から+3の範囲で入力信号に同期回路を追従させており、ノイズによる誤差発生幅も-4から+3の範囲内となる。ステップ2ではずれ幅が-2から+1の範囲で入力信号に同期回路を追従させており、ノイズによる誤差発生幅も-2から+1の範囲内となる。ステップ3ではずれ幅が-1から0の範囲で入力信号に同期回路を追従させており、ノイズによる誤差発生幅も-1から0の範囲内となる。

【0132】上述した第1～第4の実施例までのデジタルデータ検出回路は、同期信号生成カウンタのリセット信号を供給するリセット制御回路を制御してスパイクやノイズジッタの影響を排除し、データの検出のエラー発生を防止するように構成したものである。

【0133】この発明の第5の実施例では、データの変化点検出回路でノイズの場合にはデータ変化点として検出しないように制御し、ノイズの影響を排除したものである。

【0134】この第5の実施例につき図9ないし図13に従い説明する。図9はこの第5の実施例に係るデジタルデータ検出回路の構成を示すブロック図、図10はこの第5の実施例に適用されるデータ変化点検出回路を示す回路図、図11は、図10の変化点検出回路に用いられるモジュールの回路図である。図12および図13は第5の実施例のタイミングチャートであり、図12は同期はずれ頻度が最大の時から夫々頻度が減少した時を示し、図14は同期はずれ頻度が最小の時を示す。

【0135】まず、図9に従いこの発明の第5の実施例の全体構成について説明する。図9において、3は同期信号生成カウンタであり、入力される内部クロックを元周期とするカウンタで、このクロックを任意に分周してデータの受信クロックを作成する。このカウンタ3にリセットがかかることにより受信データクロックが再生さ

れる。

【0136】40は同期はずれ頻度検出回路であり、前述した第1～第4の実施例に示す同期はずれ検出回路2により検出した同期はずれ信号あるいはリンク接続のハードまたはソフトからなるマネージャーより与えられる同期はずれ信号に基いて、同期はずれの頻度を表わす信号MA～MCを作成し、後述するデータ変化点検出回路30へ供給する。

【0137】この同期はずれの頻度を表わす信号MA～MC信号は、本実施例においては、同期はずれの頻度の高い順に、(MA, MB, MC) = (H, H, H)、(H, H, L)、(H, L, L)、(L, L, L)と4段階に変化する。ここで云う頻度とは、例えばある一定時間に何回同期はずれを起こしたかということを計数カウンタにて計数した値をモディファイしたものを指していることができる。

【0138】データ変化点検出回路30は内部クロックにより、入力されるデジタルデータ(DIN)をサンプリングして、同期はずれ頻度検出回路40からの出力信号MA～MCに対応して、ノイズの判定幅を変化させる。そして、入力されたデータがノイズであるか受信データであるかを判定し、受信データならば、ANS信号が“L”→“H”又は“H”→“L”に変化し、リセット制御回路5へ供給する。

【0139】リセット制御回路5は内部クロック及びデータ変化点検出回路30からのANS信号が入力される。そして、ANS信号からワンショットのLパルスのリセット信号を生成し、このリセット信号を同期信号生成カウンタ3に供給する。同期信号生成カウンタ1は前述したように、このリセット信号により、リセットがかかると、内部クロックに同期した受信データクロックを再生し、出力する。

【0140】さて、この第5の実施例の特徴とするところは、上述したデータ変化点検出回路30の構成にある。図10ないし図13に従いデータ変化点検出回路30並びにこの第5の実施例の動作について更に説明する。

【0141】尚、図12の信号名(DIN、内部クロック、ANS)及びノード信号A～Gは図10に示した符号と夫々対応している。

【0142】データ変化点検出回路30には、図12(a)に示す内部クロック及び図12(b)に示すデジタルデータ(DIN)が入力される。この両信号はデータ変化点検出回路30の第1のD型フリップフロップ31に入力される。即ち、第1のD型フリップフロップ31のD端子に、デジタルデータ(DIN)が入力され、トリガ端子に内部クロックが入力される。この第1のD型フリップフロップ31のQ端子から図12(c)に示すデータ信号Aが出力される。この第1のD型フリップフロップ31のQ端子からの出力が第2のD型フリップ

フロップ32のD端子に供給され、又第2のD型フリップフロップ32のトリガ端子に内部クロックが入力される。

【0143】この第2のD型フリップフロップ32のQ端子からは、図12(d)に示すデータ信号Bが出力され、この第2のD型フリップフロップ32のQ端子出力が第3のD型フリップフロップ33のD端子に供給され、又第3のD型フリップフロップ33のトリガ端子には内部クロックが入力される。

【0144】この第3のD型フリップフロップ33のQ端子からは、図12(e)に示すデータ信号Cが出力され、この第3のD型フリップフロップ33のQ端子出力が第4のD型フリップフロップ34のD端子に供給され、又第4のD型フリップフロップ34のトリガ端子には内部クロックが入力される。そして、第4のフリップフロップ34のQ端子から図12(f)に示すデータ信号Dが出力される。尚、デジタルデータには図12

(a)に示すように、グリッジノイズ(N)が混入しており、このクロックに周期したノイズ(N)も各フリップフロップ31、32、33、34により伝搬される。【0145】また、第1のフリップフロップ31のQ端子からの出力は排他的論理和回路35の一方入力とアンド回路36およびノア回路37に与えられる。

【0146】そして、排他的論理和回路35の他入力には、変化点の検出信号ANSが与えられ、この排他的論理和35から図12(h)に示す信号Fが出力される。

【0147】一方、同期はずれ頻度検出回路40からの出力信号MA～MCは夫々モジュール回路61、62、63のS端子に与えられる。そして、モジュール回路61、62、63のDA端子には、第2、3、4のフリップフロップ32、33、34のQ端子からの出力が夫々入力される。即ち、モジュール回路61には第2のフリップフロップ32のQ端子出力が、モジュール回路62には第3のフリップフロップ33のQ端子出力が、モジュール回路63には第4のフリップフロップ34のQ端子出力が夫々入力される。そして、このモジュール回路61、62、63からHQ、LQの信号が夫々出力され、各HQ端子からの出力はアンド回路36に入力され、各LQ端子からの出力はノア回路37に入力される。

【0148】モジュール回路61、62、63は図11に示すように、2つのアンド回路65、66及びインバータ67により構成され、DA端子に入力された信号がアンド回路63へ入力されると共に、アンド回路66へインバータ67を介して、DA端子の信号の反転信号が入力される。また、S端子に入力された信号はアンド回路65、66に夫々入力される。アンド回路65からはLQの信号が、アンド回路66からはHQの信号が夫々出力される。

【0149】而して、モジュール回路61、62、63

のH Qの出力は、フリップフロップからの出力が' L' で同期はずれ頻度検出回路40からの信号MA、MB、又MCが' H' のときに' H' となりその他の場合は' L' となる。また、L Qの出力は、フリップフロップからの出力が' H' で同期はずれ頻度検出回路3からの信号MA、MB、又MCが' H' のときに' H' となりその他の場合は' L' となる。

【0150】そして、アンド回路36及びノア回路37の出力はオア回路38に入力される。従って、このオア回路38からは図12 (g) に示す同期はずれ頻度検出回路40からの信号に応じたパルス幅の信号Eが出力される。

【0151】このオア回路38からの出力はアンド回路39に入力され、このアンド回路39には更に排他的論理和回路35からの出力が入力される。このアンド回路39からの出力がフリップフロップ41のD端子に入力される。また、このフリップフロップ41のトリガ端子には内部クロックがインバータ43を介して入力される。そして、このフリップフロップ41のQ端子から図12 (i) に示す同期はずれ頻度検出回路40からの信号に応じたパルス幅の信号Gが出力され、この信号Gがフリップフロップ42のトリガ端子に供給される。このフリップフロップ42のD端子には* Q出力が帰還入力され、Q端子より図12 (j) に示す変化点検出力ANSが出力される。

【0152】尚、上述した各フリップフロップのリセット端子RBにはリセット信号にRSTBが入力されるよう構成されている。

【0153】而して、図12の実線で示した波形は(MA、MB、MC) = (H、H、H) [同期はずれ頻度最大] の時のものを示し、点線2は、(MA、MB、MC) = (H、L、L)、点線3は、(MA、MB、MC) = (H、H、L) の時のものを夫々示すものである。

【0154】更に、図13には、(MA、MB、MC) = (L、L、L) [同期はずれ頻度最小] の時の波形が示されている。

【0155】図12から同期はずれ頻度が低くなると実線→点線3→点線2に波形が変わり周波数追従性が良くなる。

【0156】又、図13のように同期はずれ頻度が最小の時に、図12に示すようなグリッジノイズ(N)が入力されると、それを拾ってANS信号を変化させてしまう。そこで、この実施例では、図12のような幅を持つグリッジノイズが多く入る回線ではその同期はずれ頻度に応じて、自動的に(MA、MB、MC) = (H、L、L)、(MA、MB、MC) = (H、H、L) 又は(MA、MB、MC) = (H、H、H) が選択されることにより、ノイズの影響がなくなり安定する。

【0157】尚、上述した実施例においては同期はずれ

頻度検出回路40からの出力を3ビットで構成し、4種類の頻度の状態の場合について説明したが、更に多くの場合分けをする場合には、出力ビット数を多くするように構成すれば良い。この場合には、データ変化点検出回路30のフリップフロップ並びにモジュール回路をその分だけ増やすことにより容易に対応できる。

【0158】

【発明の効果】以上説明したように、この発明による第1のデジタルデータ検出回路および検出方法によれば、同期はずれの有無が何回出現したかを計数するカウンタの出力とデータ変化点検出回路の出力に基いて、リセットのタイミング制御することにより、ジッタ、スパイクノイズが削減され、安定したPLL信号を与えることができる。

【0159】又、連続した同期を受けた場合、0以外のタイミングをマスク回路で補正することにより、ジッタ、スパイクノイズが削減される。

【0160】この発明による第2のデジタルデータの検出回路によれば、ノイズによる誤動作の発生を少なくし、しかも変化点の変化に同期回路を追従させることができる。

【0161】この発明による第3のデジタルデータの検出回路によれば、ノイズ判定のパルス幅を同期はずれの頻度に応じて選択することにより、ノイズの大きさに応じてデジタルデータのサンプリング数が調整される。従って、周波数追従性とノイズ除去のトレードオフが解消され、いかなる回線環境においても使用することができる。

【図面の簡単な説明】

【図1】この発明に係るデジタルデータ検出回路の構成を示すブロック図である。

【図2】任意の一定周期にある基本クロックに基づく出力データ及び入力データの関係を示すタイミングチャートである。

【図3】基本クロックの1周期を16分割にした関係を示すタイミングチャートである。

【図4】この発明の第1の実施例を示す回路図である。

【図5】この発明の第2の実施例を示す回路図である。

【図6】この発明の第3の実施例を示す回路図である。

【図7】正常のタイミングで同期したカウンタの値と正方向と負方向に夫々ずれた場合の関係を示す図である。

【図8】この発明の第4の実施例を示す回路図である。

【図9】この発明の第5の実施例に係るデジタルデータ検出回路の構成を示すブロック図である。

【図10】この発明の第5の実施例に適用されるデータ変化点検出回路を示す回路図である。

【図11】図10の変化点検出回路に用いられるモジュールの回路図である。

【図12】この発明の第5の実施例において、同期はずれ頻度が最大の時から夫々頻度が減少した時のタイミン

グチャートである。

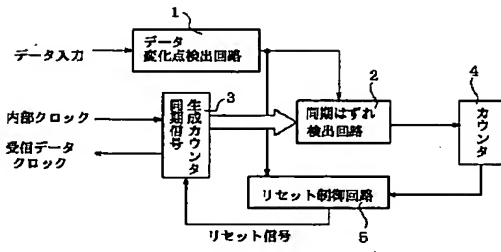
【図13】この発明の第5の実施例において、同期はずれ頻度が最小の時のタイミングチャートである。

【符号の説明】

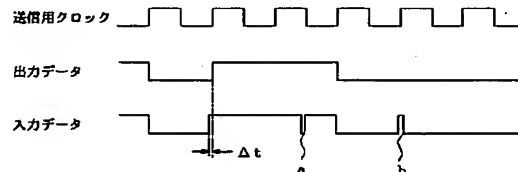
- 1 データ変化点検出回路
2 同期はずれ検出回路
3 同期信号生成カウンタ

- 4 カウンタ
5 リセット制御回路
30 データ変化点検出回路
40 同期はずれ頻度検出回路
100 マスク回路
200 マスクパターン制御回路

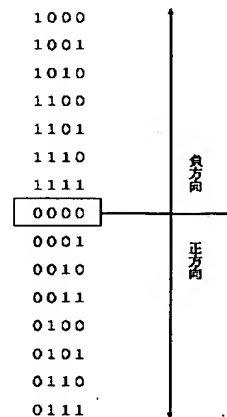
【図1】



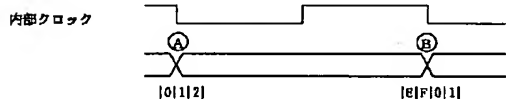
【図2】



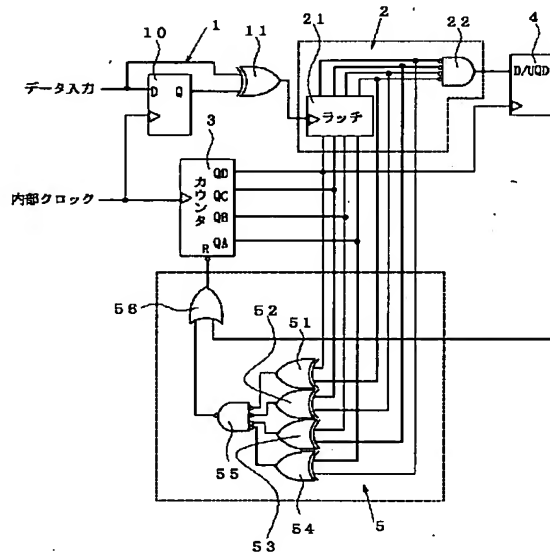
【図7】



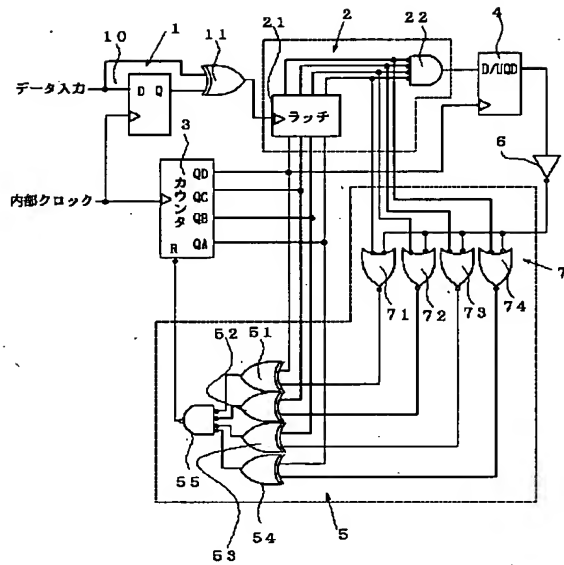
【図3】



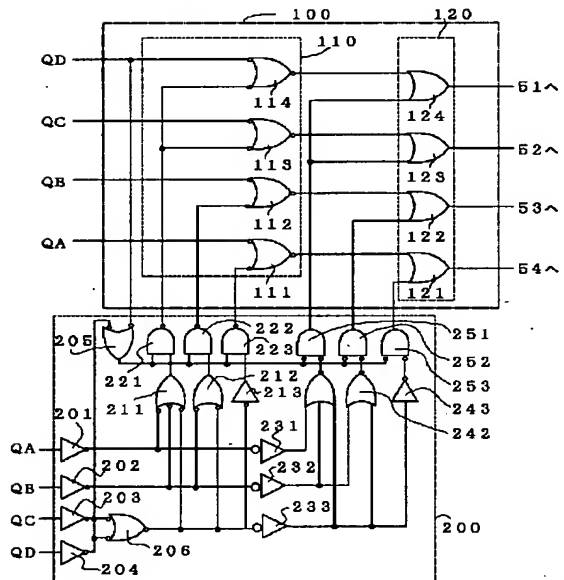
【図4】



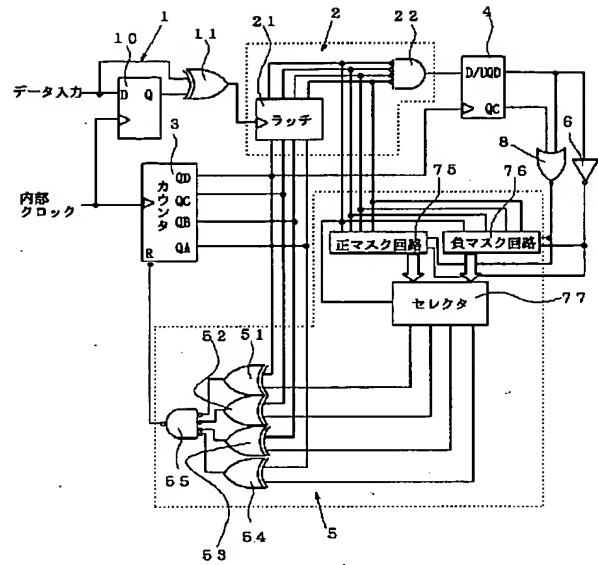
【図5】



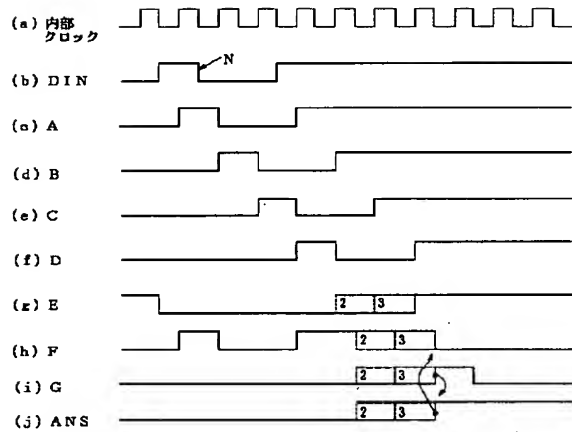
【図8】



【図6】



【図12】



フロントページの続き

(72) 発明者 福井 良
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 今井 幸弘
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 佐藤 豊
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 山田 吉輝
東京都大田区中馬込1丁目3番6号 株式会社リコー内

- (56) 参考文献 特開 昭60-245351 (J P, A)
 特開 平2-2716 (J P, A)
 特開 平3-45036 (J P, A)
 特開 平3-76336 (J P, A)
 実開 平3-123338 (J P, U)

- (58) 調査した分野 (Int. Cl. 6, DB名)
 H04L 7/027